ECC機能と浮動小数点演算ユニットを搭載した車載向け32ビットCPUコア

Cortex-R4F

英国ARM社は，自動車への搭載を想定した32ビットCPUコア「Cortex-R4F」のライセンス供給を開始した．同社が2006年5月に発表したリアルタイム制御向けの32ビットCPUコア「Cortex-R4」をベースに，内蔵メモリに格納したデータのエラー検出・訂正を行うECC（error correcting code）機能，単精度と倍精度の両方に対応した浮動小数点演算ユニット，AMBA 3 AXIスレーブ・インターフェースのDMAポートなどを追加・削除できるようにした．同社ではエンジン制御やパワートレイン系の処理，シャーシ制御，アンチロック・ブレーキ制御，カー・ナビゲーション・システムなどへの応用を期待しているという．

本CPUコアのアーキテクチャはv7R（Real time profile）に準拠している．32ビット命令と16ビット命令を混在して使用できるThumb-2命令に対応している．処理性能は1.6 Dhrystone MIPS/MHz．例えば8Kバイトのキャッシュ・メモリを搭載し，面積優先の制約で論理合成を行ったときの動作周波数は273MHz，面積は1.43mm^2，消費電力は0.244mW/MHz．16Kバイトのキャッシュ・メモリと浮動小数点演算ユニットを搭載し，速度優先の制約で論理合成を行ったときの動作周波数は400MHz，面積は2.26mm^2，消費電力は0.317mW/MHz．いずれも台湾TSMC（Taiwan Semiconductor Manufacturing Co.）の90nmプロセス，G（generic）プロセス向けArtisanセル・ライブラリを使用した場合の推定値である．

浮動小数点演算ユニットを搭載するかどうかは，論理合成時に選択できる．浮動小数点演算パイプラインは4段．これはおもに単精度演算に最適化して設計されているが，IEEE 754準拠の倍精度演算にも対応している．また，浮動小数点演算パイプラインと整数パイプラインは密に統合されており，コプロセッサ・インターフェースで接続した場合のような処理のオーバヘッドはないという．

エラー検出・訂正処理については，従来のCortex-R4もTCM（Tightly Coupled Memory）とキャッシュ・メモリのパリティ機能（エラー検出が可能）や，TCMに外付けするECC回路ブロックを用意していた．今回のCortex-R4Fでは新たに，TCMとキャッシュ・メモリのためのECC機能をCPUコアの中に組み込んだ．ECC機能の搭載により，シングル・ビット・エラーの訂正とダブル・ビット・エラーの検出を行えるようになった．

■価格
下記に問い合わせ
■連絡先
アーム株式会社
TEL 045-477-3117
http://www.jp.arm.com/

PCI ExpressとEthernet MACのハード・マクロを搭載するFPGA

Virtex-5 LXT

米国Xilinx社は，PCI Expressのエンドポイント・プロトコル処理やEthernet MAC（media access control）処理のハード・マクロを搭載するFPGA「Virtex-5 LXT」を発売した．

本FPGAは，100Mbps～3.2Gbpsで動作するトランシーバ・ブロックを最大24個搭載する．このトランシーバ・ブロックとPCI Expressのエンドポイント・プロトコル処理ブロックを組み合わせることにより，PCI Expressの物理層，データリンク層，トランザクション層の各処理を実現できる．対応するリンク数は，x1，x2，x4，x8．Ethernet MACブロックについては，10Mbps，100Mbps，1Gbpsの3種類の伝送速度をサポートする．

LXTファミリの最初の製品であるXC5VLX30T，XC5VLX50T，XC5VLX110Tは，特定ユーザ向けにサンプル出荷を開始している．量産出荷の開始時期は2007年前半からを予定している．また，本FPGAを利用したPCI Expressの開発キットを2006年11月に発売する予定である．

表1　Virtex-5 LXTの概要

型　名	XC5VLX30T	XC5VLX50T	XC5VLX85T	XC5VLX110T	XC5VLX330T
LC数	30,720	46,080	82,944	110,592	331,776
メモリ・ブロック数	36	60	108	148	324
DCM数	4	12	12	12	12
PLL数	2	6	6	6	6
DSPブロック数	32	48	48	64	192
PCI Express	1	1	1	1	1
Ethernet MAC	4	4	4	4	4
高速I/Oブロック数	8	12	12	16	24
最大I/O数	360	480	480	680	960

LC：logic cell，DCM：digital clock manager，PLL：phase-locked loop

■価格
109ドル（XC5VLX30T．2008年における1,000個購入時の単価）
189ドル（XC5VLX50T．2008年における1,000個購入時の単価）
529ドル（XC5VLX110T．2008年における1,000個購入時の単価）
■連絡先
ザイリンクス株式会社
TEL: 03-5321-7740
URL: http://www.xilinx.co.jp/

再生時の消費電力を7mWに抑えた携帯機器向けオーディオCODEC LSI
PCM3793，PCM3794

日本テキサス・インスツルメンツは，オーディオCODEC LSI「PCM3793」，「PCM3794」を発売した．アナログ電源電圧が2.4Vの場合の消費電力を，再生時で7mWに，録音時で13mWに抑えた．MP3プレーヤや携帯電話，ディジタル・ビデオ・カメラなど，携帯型オーディオ機器における需要を見込んでいる．なお，本オーディオCODEC LSIは，同社の厚木テクノロジー・センターで開発された．

本オーディオCODEC LSIは，2チャネルの16ビットA-D/D-Aコンバータやヘッドホン・アンプ，D級アンプなどを内蔵している．また，専用の信号処理回路を集積しており，イコライザや音域補正，ノッチ・フィルタ（モータ・ノイズを低減する）などの処理を行う．3チャネルのライン入力（マイクロホン入力を含む）と2チャネルのライン出力を備えている．いずれも差動とシングルエンドの両方で使える．制御インターフェースはI^2CとSPI．また，PCM3793のみ2チャネルの差動スピーカ出力を備えている．最大スピーカ出力は700mW（8Ω負荷時）．

アナログ電源は2.4V～3.6V，ディジタル電源およびI/O電源は1.71V～3.6V．D-AコンバータのSN比は93dB，A-DコンバータのSN比は90dB．パッケージは，外形寸法が5mm角の32ピンQFN．

■価格
4.50ドル（PCM3793，1,000個購入時の単価）
4.25ドル（PCM3794，1,000個購入時の単価）
■連絡先
日本テキサス・インスツルメンツ株式会社
URL: http://www.tij.co.jp/pic/

NEWS
Analog Devices，日本国内のシェア拡大を目指して車載機器向けのセンサなどのデモを公開

米国Analog Devices社は，国内の車載機器メーカ向けに行っているデモンストレーションの内容を報道関係者に公開した．車載機器への採用を狙うMEMS（micro electro mechanical systems）センサやDSP（digital signal processor）に関するデモンストレーションや展示を行った．例えば，展示された欧州の自動車メーカのエア・バッグ制御ユニットには，同社の1軸ジャイロ・センサが一つ，加速度センサが二つ搭載されている．将来的には，3軸の加速度および回転を1チップで検出できるMEMSセンサを開発するという．

MEMSではないが，静電容量センサ「AD7746」のデモンストレーションも行った．センサに接続した電極と物体の間の静電容量の変化を検出し，電圧（ディジタル値）で出力する．キーレス・エントリなどへの応用が考えられている．静電容量は温度や湿度といった環境の影響を受けやすいため，測定ごとにしきい値を補正する必要がある．このような補正機能を搭載した静電容量センサ「AD7142」も用意している．

同社は2005年1月に，日本国内の車載用半導体の市場に本格的に参入するため，日本法人に専門の部署（オートモーティブ・セグメント・マーケティング部門）を設置した．また，国内販売代理店であるマクニカの社内カンパニーであるテクスターカンパニーに，Analog Devices社製品専任の営業部門を設置した．

● アナログ・デバイセズのホームページ
http://www.analog.com/jp/

NEWS
LSI Logic，H.264とMPEG-2の間のフォーマット変換を実現できるメディア・プロセッサ技術を開発

米国LSI Logic社は，メディア・プロセッサの新しいアーキテクチャ「Domino[X]」を開発した．同社の従来のアーキテクチャである「DoMiNo」は，MPEG-1，MPEG-2，MPEG-4の圧縮伸張フォーマットに対応していた．Domino[X]では，新たにH.264やVC-1にも対応した．また，H.264データからMPEG-2データへといった異なる圧縮伸張フォーマット間の変換や，HD（high definition）ビデオ信号からSD（standard definition）ビデオ信号へといった異なる解像度間の変換を行える．本アーキテクチャに基づいた，DVDプレーヤやディジタル・テレビ向けなどのASSP（application specific standard product）を2007年下期から順次発売する．

本アーキテクチャは，ビデオ信号処理，オーディオ信号処理，セキュリティ処理，そのほかのアプリケーション処理のそれぞれに対応するプロセッサを備えたマルチ・コア構成となっている．また，DDR2-800（データ転送速度は800Mbps）まで対応できるメモリ・インターフェースを備えている．

本アーキテクチャでは，一部の処理に対して専用回路（ハード・ワイヤード）を用意することで，処理速度の向上や低消費電力化を図っている．本アーキテクチャを用いたセットトップ・ボックスでHDビデオ信号のMPEG-2とH.264の間のフォーマット変換を行う場合，200MHzの動作周波数で実現できるという評価結果が出たという（サイクル精度のシミュレーションによる）．

● 米国LSI Logic社のホームページ
http://www.lsilogic.com/

ジッタやノイズ，プリエンファシスなどを生成信号に付加できるパターン・ジェネレータ

AWG7000シリーズ

米国Tektronix社は，パターン・ジェネレータ「AWG7000シリーズ」を発売した．サンプリング周波数が10Mサンプル/s～10Gサンプル/sで出力が2チャネルの「AWG7102型」，同周波数で出力が1チャネルの「AWG7101型」，サンプリング周波数が10Mサンプル/s～5Gサンプル/sで出力が2チャネルの「AWG7052型」，同周波数で出力が1チャネルの「AWG7051型」を用意する．AWG7102型の場合，2チャネルの出力を合成することで，サンプリング周波数を20GHz，アナログ帯域を5.8GHzとすることが可能．

本パターン・ジェネレータを利用すると，ディジタル・オシロスコープで取り込んだ信号にジッタやグリッチ，ひずみなどを付加できる．また，MathcadやMATLAB，Microsoft Excelなどで生成した波形情報を取り込み，信号として出力できる．無線通信向けの任意のRF信号やIF信号，I/Q信号などの生成も可能である．

垂直分解能は10ビット．分解能を8ビットとしたときは，2チャネル分の信号トリガを波形と同時に出力できる．内蔵メモリのレコード長は64Mポイント．出力スタイルは差動で，インピーダンスは50Ω．振幅50mVp-p～2Vp-pの波形を1mVきざみで出力する．

■価格
7,644,000円から(AWG7051型)
■連絡先
日本テクトロニクス株式会社 お客様コールセンター
TEL 03-6714-3010
ccc.jp@tektronix.com
http://www.tektronix.co.jp/

異常イベントの検出・解析機能を備えた2GHz帯のオシロスコープ

WaveRunner 104Xi，WaveRunner 204Xi

米国LeCroy社は，ミッドレンジ向けオシロスコープ「WaveRunner」の新機種「WaveRunner 104Xi」と「WaveRunner 204Xi」を発売した．WaveRunner 104Xiは1GHzの，WaveRunner 204Xiは2GHzのアナログ帯域幅に対応する．今回の機種では，新たに測定データの検出・解析機能「WaveScan」を追加した．本機能を用いると，1回または複数のトリガで捕捉した波形から異常イベントを検出してそれらを一覧表示できる．また，異常イベントの発生分布や特性などを表示して波形の解析を行える．

チャネル数はいずれも4チャネル．サンプリング速度は最大10Gサンプル/s．10.4インチ型のカラー液晶ディスプレイを搭載している．

本オシロスコープのオプションとして，シリアル通信用トリガ/デコード機能「I2Cbus TD」と「SPIbus TD」を提供する．デコードしたプロトコルの情報をデータ波形に重ねて表示したり，デコードしたデータをExcelファイルに出力できる．

また同社は，本オシロスコープの下位機種「WaveSurfer 104Xs」も発売した．アナログ帯域幅は1GHz．サンプリング速度は最大5Gサンプル/s．WaveScanのイベント検出機能を備えているが，解析機能には対応していない．

■価格
245万円(WaveRunner 204Xi)
195万円(WaveRunner 104Xi)
150万円(WaveSurfer 104Xs)
■連絡先
レクロイ・ジャパン株式会社
TEL 03-3376-9400
http://www.lecroy.com/japan/

NEWS

The MathWorks，SimulinkモデルからHDLコードを自動生成するツールを発売

米国The MathWorks社は，「Simulink」や「Stateflow」といった同社のモデリング・ツールからHDLコードを自動生成するツール「Simulink HDL Coder 1.0」を開発した．同社の数値計算/信号処理設計ソフトウェア「MATLAB」のオプション製品として販売する．

生成するコードはVHDLとVerilog HDL．HDLコードのほか，テストベンチも自動生成できる．また，別のオプション製品「Link for ModelSim」を利用すると，米国Mentor Graphics社のHDLシミュレータ「ModelSim」の環境から既存のHDLコードをインポートできる．例えば機能ブロックのHDLをインポートしていったんSimulinkモデルに組み込み，システム全体の統合モデルからあらためてHDLコードを生成するといった使い方も考えられる．

SimulinkモデルからCコードを生成する機能は，既に別のオプション製品「Real-Time Workshop」によって実現されている．今回，SimulinkモデルからCコードとHDLコードの両方を生成できるようになったので，システムのうちどこまでをハードウェアで実現し，どこからをソフトウェアで実現するのかなどの試行錯誤を行いやすくなったという．

国内でも既に出荷を開始している．

■価格
269.4万円～(ノード・ロック・ライセンスの場合)
■連絡先
サイバネットシステム株式会社
TEL 03-5978-5410
infomatlab@cybernet.co.jp
http://www.cybernet.co.jp/